

用 VHDL 自顶向下设计数字密码锁

周 瑗 杨丽华

(北京化工大学自动化系, 北京 100029)

摘 要: VHDL 非常适用于可编程逻辑器件的应用设计。尤其在大容量 CPLD 和 FPGA 的应用设计中,若采用以往的布尔方程或门级描述方式,很难快速有效地完成。VHDL 能提供高级语言结构,方便地描述大型电路,快速地完成设计。它支持设计单元库的创建,以存储设计中重复使用的元件。它是一种标准语言,它的设计描述可被不同的工具所支持,可用不同器件来实现。文中以数字密码锁的设计为实例,从方案的确定,各阶层的划分,VHDL 的应用,介绍了 VHDL 自顶向下的设计方法。

关键词: VHDL; 自顶向下的设计方法; 数字密码锁; EDA; 数字系统

中图分类号: TQ 050.3

20 世纪 90 年代,引起数字系统设计方法发生突破性变革的技术是 VHDL (Very high speed IC Hardware Description Language) 技术。它是一种以 IEEE - 1076 标准所规范的硬件描述语言,已被各种 EDA 工具和集成电路厂商普遍认同和推广,正在各先进国家电子系统设计领域获得广泛应用。

现代数字系统的设计多采用自顶向下的设计方法,属阶层式设计^[1]。首先要自顶向下地生成各设计阶层(层次不应过多,本例为二层结构),将设计任务分解为不同的功能元件,每个元件具有专门定义的输入输出并执行专门的逻辑功能;然后,生成一个由各功能元件相互连接形成的顶层模块(此为一层);最后设计其中的各个元件(此为二层)。自顶向下设计的各个阶层,可全部用图形也可全部用 VHDL 语言进行设计描述,还可采用混合方式,即顶层模块用图形描述,底层元件用 VHDL 描述等。

本文以典型的小系统数字密码锁的设计为实例,介绍用 VHDL 自顶向下设计数字系统的基本过程和方法。

1 分解设计任务生成顶层和底层

数字密码锁的设计要求^[2]:密码采用三个十进制数字,当三个数字输入正确后,锁打开;当输入密码不正确时,如多一位或少一位开锁,系统报警。

1.1 确定输入电路

考虑系统的可靠性和成本,采用串行输入。用 START 键表示起始信号,用 OPEN 键表示结束信号。(1)接通电源,系统处于待锁状态,用 D_p 信号进入此状态。按 SETUP 键,系统进入安锁状态。(2)安锁后,按 START 键,系统进入拨号状态。(3)拨号正确,按 OPEN 键开锁。(4)拨号不正确,若按 OPEN 键系统报警,报警后,保安人员需按 SETUP1 键,系统才重新返回安锁状态。再按 START 键可重新拨号,只限拨三次。

1.2 确定输出电路

(1)当拨号正确开锁后,输出一个绿灯 L_O 。(2)当三次拨号错误,输出一个红灯 L_A ,并随之报警装置鸣叫。(3)当三次内重拨号时,输出一个黄灯 L_R 。

1.3 确定系统基本方案

(1)采用三位十进制数密码,在内部预置。

(2)系统通电后应处于待锁状态(用 D_p 信号进入,即通电后先按 D_p 键使其处于待锁状态),再按 SETUP 键,使系统处于安锁状态。

(3)开锁过程

按 START 键,启动开锁程序;依次键入三个十进制数,进入待启状态;按开锁键 OPEN。若按上述程序执行并拨号正确,则开门继电器动作,绿灯 L_O 亮。若按错三次密码或未按上述程序执行,按开锁键 OPEN,警报装置鸣叫(单频),红灯 L_A 亮。

开锁后,应将门关上,按 SETUP 键,使系统重新进入安锁状态。若在报警状态,按 SETUP 或 START 应不起作用,按保安人员控制的 SETUP1

键,才能进入安锁状态。

(4) 若拨错号码,可在按 OPEN 键以前按 START 键,重新启动开锁程序,允许拨错三次。

(5) 输入 $A_0 \sim A_9$, START、OPEN、SETUP、SETUP1 均用按键产生。根据上述考虑,可画出系统的框图,图 1 说明了整个系统的外部输入、输出情况。

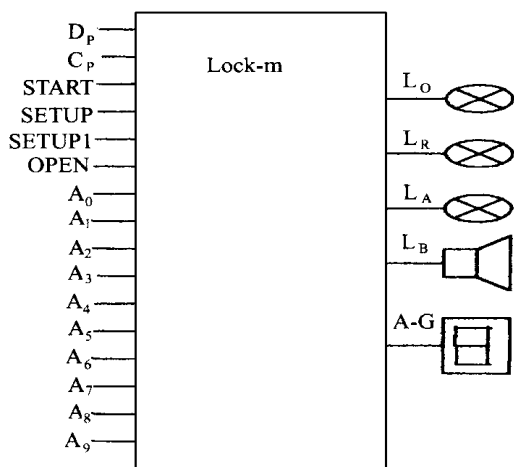


图 1 系统框图

Fig. 1 System diagram

1.4 系统划分

在确定了系统功能、系统方案的基础上,将系统划分为控制电路、受控电路两部分,并将受控电路进一步细分为可执行专门逻辑功能的模块。确定这些模块与控制器间的关系(控制器向模块发出什么控制信号?模块向控制器反馈哪些信号?),再生成一个由各功能元件相互连接形成的顶层结构框图,如图 2 所示。图中,为保证键入的数码能与对应的密码相比较,设立了几个相关的信号。首先,每键入一个数,编码器即在输出其 8421BCD 码的同时,向控制器发出一个脉冲信号 O(此信号应同步化)。控制器随即向预置码计数器输出一时钟 C_{cp1},使预置码计数器一方面加 1,一方面输出对应的预置码给比较器。同时,C_{cp1} 还被送到比较器使能端,使比较器开始工作,保证了比较器可将数码与对应的密码进行比较。比较结果由信号 D_{cp} 返回控制器。若比较正确,控制器向编码器发出一使能信号 E_n,允许输入第 2 个数码。否则,控制器将进入预警状态,需按 START 键系统重新进入拨号状态。此时,控制器向顶置码计数器发出一 R-c 复位信号,使其返回初始状态。为实现 3 次重拨号的功能,设立了另一

计数器。每次拨错号,控制器将向该计数器发出一个计数脉冲 C_{cp-2},使计数器加 1,满 3 回零,并向控制器反馈一信号 C_{c3-2},使控制器进入报警状态,从而实现可重拨 3 次。系统的输出有开锁指示灯 L_O、重拨指示灯 L_R、报警指示灯 L_A、报警蜂鸣器 L_B。工作时分别接收控制器提供的信号 S_{lo}、S_{lr}、S_{la}。当按下 SETUP 键时,控制器向它们发出 Reset-1 信号,将它们复位,置于不工作状态。同时向计数器发出 Reset-n 信号,将计数器复位。控制器可根据系统的各种状态以及给定的输入及输出信号得到流程图,再用 VHDL 的行为描述书写。至此,已从设计要求出发把数字密码锁划分为二层,生成了顶层结构框图,并定义了各基本模块功能。

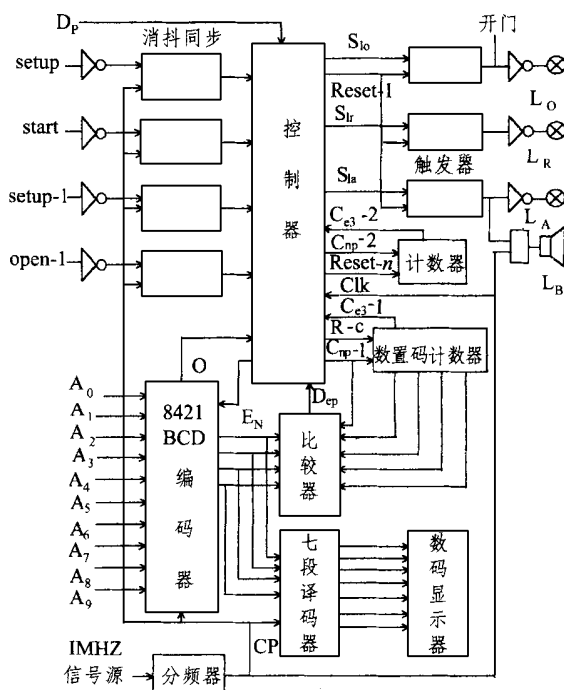


图 2 顶层结构框图

Fig. 2 Top level construction block diagram

2 用 VHDL 自顶向下的实现

2.1 使 jee 库对设计可见^[1]

库是用来放置可编译的设计单元的地方。jee 库存放了 IEEE 标准 1076 中的标准设计单元,如程序包 std-logic-1164, numeric-std, numeric-bit 和元件、类型说明、函数、子程序等。为了在设计系统中能引用库中的设计单元,必须利用 library 语句对库进行说明,还必须利用 use 语句使这些单元对设计可见。

2.2 用实体说明描述顶层系统接口

任何一个设计系统在 VHDL 中都被视为实体,由实体说明和构造体组合而成。实体说明主要说明系统的端口,包括端口的名称,端口的模式(输入、输出、双向或缓冲),端口数据类型(标准逻辑、标准逻辑矢量、整数、常量等)及需传输的某些参数。端口指定了系统外部的通讯接口关系。

2.3 用网表^[1]描述系统顶层结构框图

在 VHDL 中,系统的功能用构造体描述。描述可采用不同的格式:行为级、数据流和结构化描述,或它们的任意组合。对于顶层设计,在得到顶层结构框图后应采用结构描述,由元件网表组成。首先在构造体说明区中,用 signal 语句说明中间信号,中间信号用于描述各元件之间的连接。然后在构造体中,根据顶层结构框图,用元件标号(自定义)来调用库中的元件,用 Port map 关联表^[1],将元件的实参(连接到端口的实际信号)通过名称关联的方式映射到形参(元件的对外接口名称)上,以实现元件间的连接。实参所映射的形参由关联表中的位置决定。在顶层结构描述中,应调用和连接图 2 中所有的元件。网表描述最好不采用库中厂商的专用元件。

2.4 构造基本元件库^[1]

上述结构描述中,调用了库中的若干元件,元件至此还未被设计,这是自顶向下的设计规则。在

VHDL 中,任何一个被设计的对象都被视为设计实体。设计实体中的实体说明、构造体内部的一切说明,对其它设计实体是不可见的,即不能被其它实体所引用。为使基本模块能被其它实体所引用,需设计一程序包。程序包中应说明顶层结构框图中的所有基本模块。程序包的设计文件中还应同时放入在程序包中被说明的所有元件的设计实体。将程序包编译之后即成为库,可放置在 work 库或其它自创建的库中,这就是构造基本元件库。为使程序包中的所有元件为本系统设计实体使用,可在实体说明之前通过 use 语句(对 work 库),或 library 和 use 语句(对自创建的库)使它们可见。

本文通过数字密码锁的设计实例,从设计任务的分解,阶层的划分,顶层的构造,可重复使用的库、程序包、元件引用等方面的内容,初步介绍了 VHDL 自顶向下的完整的设计方法。其中各元件的使用除了上述的构造元件库之外,也可将被调用元件的说明放在使用该元件的构造体的说明中,并将该元件的设计实体和使用它的设计实体放在一个文件中。

参 考 文 献

- [1] Skahill K. 可编程逻辑系统的 VHDL 设计技术. 朱明程,孙普译. 南京:东南大学出版社,1998
- [2] 黄正瑾. 系统编程技术及其应用. 南京:东南大学出版社,1997

Digital code lock design using VHDL with top-down method

ZHOU Yuan YANG Li-hua

(Department of Automation, Beijing University of Chemical Technology, Beijing 100029, China)

Abstract: VHDL is very suitable to the design of programmable logic devices. It is difficult to design large capacity CPLD and FPGA with the description method of Boolean equations or of gates. VHDL can provide high level language structure, describe large scale circuit conveniently and complete design rapidly. It supports the creation of library of components to store the components that are used repeatedly. It is a standard language. It's design description can be supported by different tools and implemented by different devices. This paper introduces the VHDL top-down design method including scheme determination, hierarchy division, and VHDL application taking a digital code lock design for example.

Key words: VHDL; top-down design method; digital code lock; EDA; digital system