

基于 FPGA 的多体制中频数字解调器实现

贾墨林 聂 伟*

(北京化工大学 计算机系统与通信实验中心, 北京 100029)

摘 要: 实现一种基于 FPGA 的软件无线电多体制解调器, 包括正交解调数学模型、FPGA 实现方案、测试结果及分析。系统采用一个通用硬件平台和能节省大量硬件资源的模块化的软件设计实现 9 种解调方式。通过仿真与实际测试, 结果正确且工作稳定可靠。

关键词: 软件无线电; FPGA; 多体制解调器

中图分类号: TP391.6

引 言

基于软件无线电的中频解调器是当前通信领域研究的热点之一。目前实现中频解调主要有基于 DSP、FPGA、专用芯片或它们的组合几种方法^[1]。其中 DSP 比较适合语音或图象处理; FPGA 具有实时性好、对逻辑运算处理快、用户可重复编程和外设配置简单等优点, 但早期的 FPGA 由于门数和速度的限制很难实现复杂算法; 专用芯片指标满足实际应用, 但大多数芯片功能单一, 通用性差^[2-4]。随着 FPGA 技术的发展, 已经出现更多门数、更高速度、功能更强的 FPGA, 其内部嵌入多种 IP 核, 这些为实现基于 FPGA 技术的软件无线电中频解调器奠定了基础^[5]。

本文在研究各种解调算法、通用硬件平台的基础上实现了一种基于 FPGA 的多体制解调器。该解调器不但可以完成 2ASK、2FSK、MSK、GMSK、BPSK、DPSK、QPSK、DQPSK、OQPSK 共 9 种解调方式, 而且可以通过系统所带的控制器(也可以通过 PC 机)设置解调方式, 并在一定范围内灵活设置载波频率、基带速率以及滤波器参数, 从而实现了使用方便的软件无线电中频解调器。该设计同时对解调器涉及的同步、滤波等问题也进行了研究, 实现了基于 FPGA 的载波恢复、同步提取、通用滤波器(限于篇幅, 另

文处理)。与以往多种解调方式罗列的多体制解调相比, 本设计大大节省了硬件资源。

1 系统硬件设计

系统硬件结构如图 1 所示, 主要由控制器模块和解调器模块两部分组成, 其中控制器模块由 CPU、键盘、LCD 显示、通信接口四部分组成, 完成对解调器模块的管理; 解调器模块由 FPGA、A/D、D/A、预处理电路、滤波器电路、通信接口电路几部分组成, 主要根据用户的要求完成相应的解调方式。

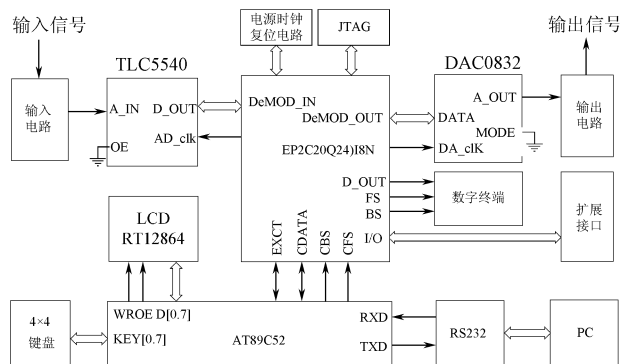


图 1 多体制解调器硬件结构图

Fig. 1 Hardware configuration of the multi-demodulator

为了便于扩展和升级, 硬件电路上采用模块化设计, 即硬件由多个板组成, 包括底板、FPGA 板、A/D 和 D/A 板、存储器板、控制器板、键盘/显示板。控制器模块与解调器模块的接口采用串行同步方式进行通信, 包括数据线 DATA、位同步 BS、帧同步 FS 和握手信号 EXCT。输入的调制信号经过输入电路送 FPGA, 模拟调制信号经解调后由 D/A 输出, 数字调制信号解调后直接送数字终端。

收稿日期: 2009-09-03

基金项目: 北京化工大学实验教学专项建设资金

第一作者: 男, 1984 年生, 硕士生

* 通讯联系人

E-mail: niewei@mail.buct.edu.cn

控制器 CPU 选择常用的 AT89C52, LCD 选用 RT1864, 键盘是 4×4 矩阵键盘, 控制器与解调器的接口用 P3.2 ~ P3.5。解调器输入的调制信号最高频率为 12.5 MHz, 因此 A/D 选择 TLC5540 (最高工作时钟 40 MHz), D/A 选择 DAC0832。根据软件仿真结果, 解调需要 9960 个逻辑单元, 同步需要 6245 个逻辑单元, 考虑将来扩展, 这里选择内部包含 1.8 万逻辑单元的 EP2K20Q240I8N。

2 系统软件设计

2.1 控制器软件设计

控制器软件流程图如图 2 所示。系统上电后, 控制器首先初始化, 此时 LCD 显示初始界面, 然后根据用户键盘输入信息完成对解调器的设置, 同时在 LCD 上显示当前状态。

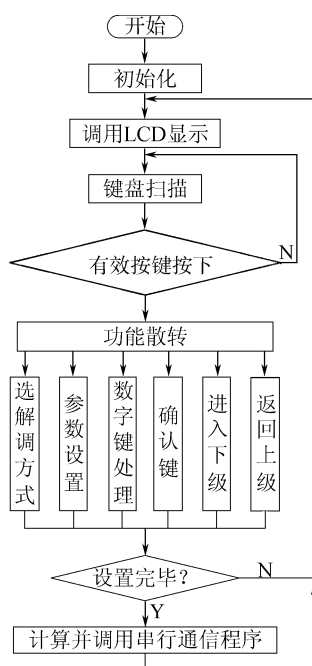


图2 控制软件流程图

Fig. 2 Software flow chart for the controller

控制软件包括初始化、用户信息协议封装及传输 3 个部分。通信协议由 56bit 串行数据组成, 包括 8 位控制命令字, 和 48 位参数字。

命令字第一个字节 DEM 中用 4bit 表示解调方式 (另 3bit 用于扩展) 和 1bit 表示模拟、数字选择。参数字中, 字节 Fc 用 32bit 表示频率控制字、字节 Fn 用 8bit 表示基带码元速率, 字节 Fmax 用 8bit 表示滤波器上限频率。

2.2 解调器软件设计

任何一种解调方式, 都可表示成与之相应的两个正交分量 $X_I(n)$ 、 $X_Q(n)$, 所以正交相干解调法从理论上说可以对几乎所有的调制方式进行解调^[6]。任何一个调制信号均可表示为

$$S(t) = a(t) \cos[2\pi f_0 t + \varphi(t)] \quad (1)$$

其中 f_0 为载波中心频率, $a(t)$ 、 $\varphi(t)$ 分别表示信号的幅度调制信息和角度调制信息, 以采样频率 f_s 对上式进行数字化得

$$S(nT_s) = a(nT_s) \cos[2\pi f_0 nT_s + \varphi(nT_s)] \quad (2)$$

简化为

$$S(n) = a(n) \cos[\omega_0 n + \varphi(n)] \quad (3)$$

式中 ω_0 为数字角频率, 正交分解得

$$S(n) = X_I(n) \cos(\omega_0 n) - X_Q(n) \sin(\omega_0 n) \quad (4)$$

式中 $X_I(n) = a(n) \cos\phi(n)$, $X_Q(n) = a(n) \sin\phi(n)$ 分别称为信号的同向分量和正交分量, 而对信号进行解调的目的就是提取这两个正交分量并处理。I、Q 两路分别与载波相乘并经过低通滤波后可表示为

$$X_I(n) = r(n) \cos\Delta\varphi - s(n) \sin\Delta\varphi \quad (5)$$

$$X_Q(n) = s(n) \cos\Delta\varphi + r(n) \sin\Delta\varphi \quad (6)$$

式(5) ~ (6) 中, $\Delta\varphi = \theta_1 - \theta_0$ 是调制载波与本地载波之间的频差和相差联合产生的相角差值。显然, 当本地恢复的同相载波与调制载波达到同频同相时, 有 $\Delta\varphi = 0$ 。

对幅度调制信号解调

$$A(n) = \sqrt{X_I^2(n) + X_Q^2(n)}$$

对频率调制信号解调

$$F(n) = \varphi(n) - \varphi(n-1) =$$

$$X_I(n-1)X_Q(n) + X_I(n)X_Q(n-1)$$

对所有相位调制信号均可采用正交相干解调

$$\varphi(n) =$$

$$\begin{cases} \arctan[X_Q(n)/X_I(n)] & X_I(n) > 0, X_Q(n) > 0 \\ \pi/2 & X_I(n) = 0, X_Q(n) > 0 \\ \pi - \arctan[X_Q(n)/X_I(n)] & X_I(n) < 0, X_Q(n) > 0 \\ \pi + \arctan[X_Q(n)/X_I(n)] & X_I(n) < 0, X_Q(n) < 0 \\ \frac{3\pi}{2} & X_I(n) = 0, X_Q(n) < 0 \\ 2\pi - \arctan[X_Q(n)/X_I(n)] & X_I(n) > 0, X_Q(n) < 0 \end{cases}$$

多体制解调器 FPGA 软件设计如图 3。

解调器协议处理模块首先根据控制器的命令设置滤波器参数并选择解调方式; 调制信号进入带通

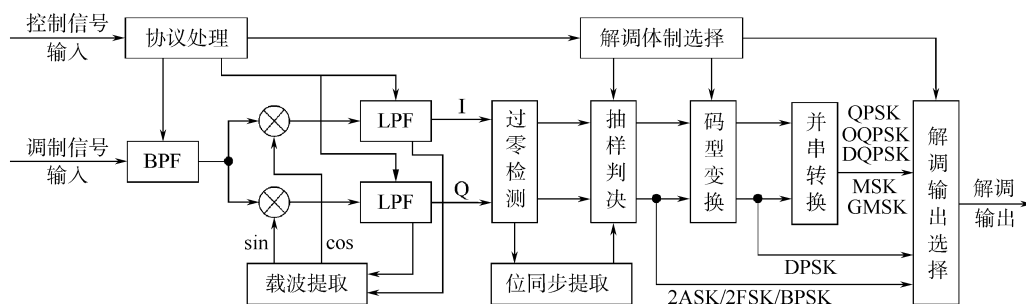


图3 多体制解调器 FPGA 软件结构

Fig.3 Software configuration of the multi-demodulator

滤波器,提取不同载波调制信号分成 I、Q 两路送乘法器,与本地正交载波相乘(正交载波由载波同步模块提供);I、Q 两路信号经过低通滤波器滤波和过零检测进入抽样判决器(位同步信号由同步模块提供),抽样判决后对 I、Q 两路信号进行码型变换和串并转换,然后输出。其中,抽样判决模块由解调体制选择模块控制两路抽样判决时间,如 OQPSK 与 QPSK 解调不同的是对 I、Q 两路抽样判决时在时间上要偏移一个比特间隔,每隔 T_b 时间信号载波相位只可能发生 $\pm 90^\circ$ 相位变化。解调器判决时 I/Q 两路也要相差 $T_b = 1/2T_s$ 进行抽样;码型变换模块由解调体制选择模块控制是否需要码型变换,如对 DQPSK 信号解调就是在对其 QPSK 解调之后进行差分解码;对二键控调制方式解调时,正交两路所含信息相同,对一路抽样判决后不会丢失另一路信息。在 Q 路码型变换和并串转换前抽头输出,输出不需要这两种处理的解调信号,如 QPSK 可看为同相及正交支路 BPSK 叠加,DQPSK 看成是 DPSK 的叠加。这三路信号进入解调输出选择模块后,系统根据解调方式来选择一路信号输出。

载波提取、位同步提取及滤波器模块均采用 FPGA 实现。载波提取采用 Costas 环法,位同步提取采用基于 Gardner 鉴相误差算法的全数字锁相环法。滤波器采用 31 阶 FIR 卷积型 Kaiser 窗滤波器。

本多体制解调器软件设计,采用了同类模块合并资源共享的设计思想。通过软件仿真测试,如果分别实现 9 种解调,仅解调部分所耗资源总合为 33753 个逻辑单元,载波提取部分一个 Costas 环所占资源就为 6245 个逻辑单元。综上,与以往多种解调方式罗列的多体制解调相比,本设计大大节省了硬件资源。

3 仿真测试及分析

3.1 软件仿真

仿真利用 Quartus II 7.2 以及其第三方工具 ModelsimAltera 6.1 g 完成。解调部分 FPGA 内部程序如图 4。

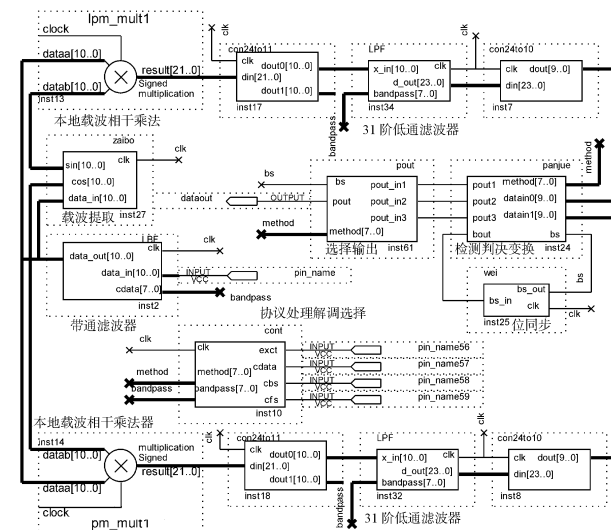


图4 多体制解调器 FPGA 工程图

Fig.4 Project configuration of the multi-demodulator

限于篇幅这里仅给出多体制解调中 QPSK 解调仿真波形,如图 5。解调器对控制命令进行处理分析,选择好解调方式与各模块系数后开始对调制信号进行接收解调,其中 5(a) 为 QPSK 调制信号;5(b)和 5(e)为本地提取正交载波,由载波提取模块对信号进行同步提取获得,5(c)和 5(f)为本地相干后波形;5(d)和 5(g)为经过低通滤波器后的波形,此处滤波器根据载波及基带信息选取最佳参数,滤波效果较理想;5(k)为正交判决双极性输出,码型变换模块会根据不同的调制方式进行码型变换;

5(i)为解调信号输出,5(h)为原始基带信号,仿真结果正确。

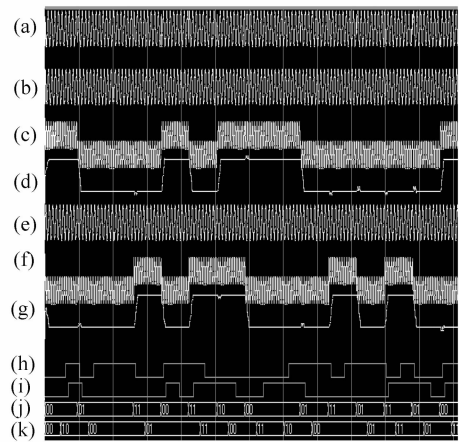


图 5 QPSK 解调仿真波形

Fig. 5 Simulation waveform for QPSK demodulation

3.2 实际测试及分析

对解调器进行了测试,调制源采用文献[7]实现的通用调制器输出所需的调制信号,将调制端基带信号设为 64 kHz,载波设为 1.25 MHz。信道采用加性白噪声仿真信道模块(由 FPGA 实现,并且噪声功率可调)。限于篇幅图 6 仅给出 QPSK 在信噪比为 3dB 时解调时域波形,6(a)为基带码元信号,6(b)为加噪后调制波形,6(c)为本地载波相干后 I 路波形,6(d)为低通滤波后波形,6(e)为解调输出

信号。其中在时域观察范围内 QPSK 解调目测没有误码,滤波后能准确判决。

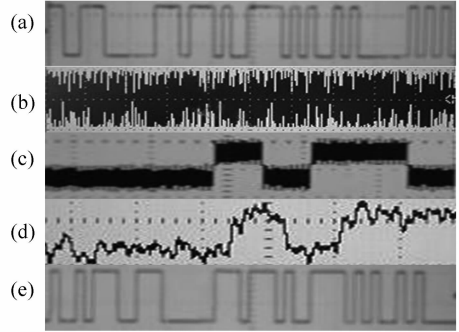


图 6 QPSK 解调波形

Fig. 6 Waveform of QPSK demodulation

对几种体制解调信号在 3 种信噪比情况下利用 SynC 公司误码仪 (VEEX-TX50E) 进行了测试,测试连接图如图 7。

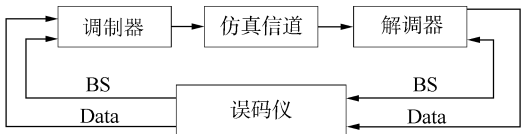


图 7 误码测试连接图

Fig. 7 The connectivity test in the error detector

测试结果如表 1,其中行表示信噪比(单位 dB),列表示调制方式,给出误码范围。

表 1 误码率测试对比

Table 1 Comparison of bit error rate

信噪比	误码率			
	MSK	GMSK (BT = 0.25)	BPSK	QPSK
10 ~ 20	$1.2 \times 10^{-6} \sim 1.2 \times 10^{-5}$	$6.2 \times 10^{-6} \sim 8.0 \times 10^{-5}$	$0 \sim 7.2 \times 10^{-6}$	$0 \sim 7.2 \times 10^{-6}$
8 ~ 10	$1.2 \times 10^{-5} \sim 2.0 \times 10^{-4}$	$8.0 \times 10^{-5} \sim 6.3 \times 10^{-4}$	$7.2 \times 10^{-6} \sim 1.1 \times 10^{-4}$	$7.2 \times 10^{-6} \sim 1.1 \times 10^{-4}$
5 ~ 8	$2.0 \times 10^{-4} \sim 1.3 \times 10^{-2}$	$6.3 \times 10^{-4} \sim 8.4 \times 10^{-2}$	$1.1 \times 10^{-4} \sim 7.9 \times 10^{-3}$	$1.1 \times 10^{-4} \sim 7.9 \times 10^{-3}$

在相同的信噪比环境下,GMSK 解调误码率大于 MSK 解调,而 QPSK 解调和 BPSK 解调误码率相同且都小于前两种,可以在较低信噪比下工作,这与理论值基本相符。

4 结束语

本设计中频解调器可以通过自带的控制器设置解调方式、载波频率、基带速率以及滤波器参数。软件采用了同类模块合并资源共享的设计思想,节省了大量硬件资源。硬件电路、软件设计均采用开放

接口和模块化结构,因此硬件电路不但可以作为通用平台,而且也非常方便扩展和升级;随着更深入的研究,该平台可以实现更多的解调方式和更高的指标。通过仿真、功能和性能的实际测试,解调器完全满足设计要求且工作稳定可靠。另外,因为在硬件电路上扩展了多种接口,所以也可以作为通信电路中其他应用平台(如编译码器、信道仿真、滤波器等),两个同样的平台只需更新软件即可实现通信系统实验(如 TDMA、CDMA),因此非常适合学生综合课程设计、毕业设计以及研究生课题设计使用。

参考文献:

- [1] Rupert B, Doug P. A total cost approach to evaluating different reconfigurable architectures for baseband processing in wireless receivers [J]. IEEE Communication Magazine, 2003 (1): 105 - 113.
- [2] 马子骥, 郑善贤, 刘宏立. 一种基于软件无线电的数字解调方法研究 [J]. 通信技术, 2008(3): 34 - 39.
Ma Z J, Zheng S X, Liu H L. A method for digital demodulation based on SDR [J]. Communication Technologies, 2008(3): 34 - 39. (in Chinese)
- [3] 张佩宗. 利用 FPGA 实现通用解调器 [J]. 无线电通信技术, 2001, 27 (6): 49 - 50.
Zhang P Z. The realization of general-purpose demodulator based on FPGA [J]. Radio Communications Technology, 2001, 27(6): 49 - 50. (in Chinese)
- [4] 陈礼光, 徐福安, 张进, 等. 软件无线电接收机中频数字化设计 [J]. 现代电子技术, 2004(11): 94 - 97.
Chen L G, Xu F A, Zhang J, et al. Design of software radio receivers IF digitization system [J]. Modern Electronics Technique, 2004(11): 94 - 97. (in Chinese)
- [5] 柯宏发, 孙晓东, 周广涛, 等. 一种基于 FPGA 的多功能通用解调器 [J]. 电讯技术, 2003(3): 108 - 111.
Ke H F, Sun X D, Zhou G T, et al. A multi-functional general-purpose demodulator based on FPGA [J]. Telecommunication Engineering, 2003 (3): 108 - 111. (in Chinese)
- [6] 甘泉. 基于 DSP 的软件无线电接收机研究和实现 [D]. 湖南: 武汉理工大学, 2005.
Gan Q. The design and implementation of the software defined radio receiver based on DSP [D]. Hunan: Wuhan University of Technology, 2005. (in Chinese)
- [7] 聂伟, 王昭辉, 汤作伟. 基于 FPGA 的数字调制器的实现 [J]. 实验技术与管理, 2007, 24(9): 89 - 92.
Nie W, Wang Z H, Tang Z W. The implementation of digital modulator based on FPGA [J]. Experimental Technology and Management, 2007, 24(9): 89 - 92. (in Chinese)

Realization of an intermediate frequency digital multi-demodulator based on a field-programmable gate array

JIA MoLin NIE Wei

(Computer System and Communication Laboratory, Beijing University of Chemical Technology, Beijing 100029, China)

Abstract: This paper presents a design of an intermediate frequency (IF) multi-demodulator based on a software-defined radio system incorporating a field-programmable gate Array (FPGA). The mathematical structures of the demodulations, the realization of the program based on FPGA and analysis of the test results are described. The system is based on a common hardware platform and modular software design which results in a considerable saving in hardware resources whilst achieving nine kinds of demodulation mode. The results of actual simulations and tests meet the design requirements for stability and reliability.

Key words: software radio; FPGA; multi-demodulator.