

# 基于 CPLD 技术的数字化语音存储与回放系统

周 媛 杨丽华

(北京化工大学信息科学与技术学院, 北京 100029)

**摘 要:** 介绍了“数字化语音存储与回放系统”的一个设计方案。系统控制器是用 Xilinx 公司的 CPLD - XC95108PC84 芯片实现的。实验表明用 CPLD 实现控制器的系统有着设计快速, 调试方便, 系统噪声低, 语音回放效果好, PCB 板面积小等多方面的优点。

**关键词:** CPLD; 在系统可编程; 数字化语音存储与回放系统; EDA

**中图分类号:** TQ 050.3

数字化语音存储与回放系统可高保真处理语音信号, 也可处理一定质量的音乐信号。本文的设计方案, 其核心部件控制器是用 Xilinx 公司 XC9500 系列的 CPLD (Complex Programmable Logic Device) XC95108PC84 芯片实现的。在电子设计技术中 CPLD 有多方面的优势: 在系统编程, 时延特性可预测, 引脚锁定能力强等。使得用 CPLD 实现控制器的系统具有设计快速, 调试方便, 噪声低, 语音回放效果好, PCB (Protected Circuit Board) 板面积小等多方面的优点。

## 1 数字化语音存储与回放系统

### 1.1 设计要求

为高保真处理语音信号及处理一定质量音乐信号, 设计要求如下:

- (1) 低频放大器的声压级增益为 46 dB, 功率放大器的声功率级增益为 40 dB, 增益均可调;
- (2) 带通滤波器: 通带为 300 Hz ~ 3.4 kHz;
- (3) 模数转换器: 采样频率  $f_s = 8$  kHz, 字长 = 8 位;
- (4) 数模转换器: 变换频率  $f_c = 8$  kHz, 字长 = 8 位;
- (5) 语音存储时间 10 s。

### 2.2 设计方案

根据设计要求将该系统分为三个状态: 待机状态、录音状态、放音状态, 分别由三个输入信号控制进入这三个状态。系统主要由模数转换器 ADC

(Analog to Digital Converter)、数模转换器 DAC (Digital to Analog Converter)、静态存储器 SRAM (Static Random Access Memory) 和控制器等几部分组成。设计方案如图 1 所示。

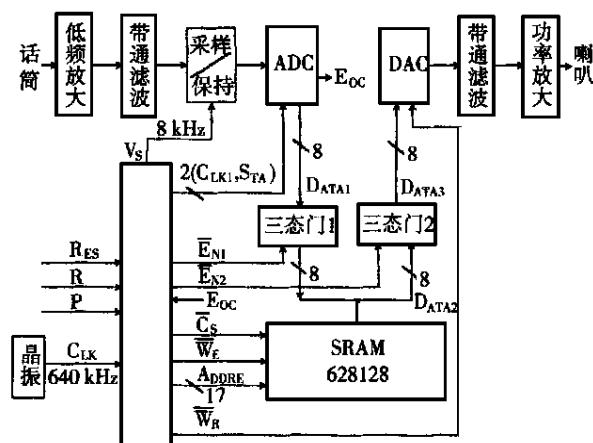


图 1 系统框图

Fig. 1 System diagram

图中  $R_{ES}$  为复位信号。R 为录音信号。P 为放音信号。 $C_{LK}$  为控制器时钟。 $V_S$  为采 - 保电路的采样信号。 $C_{LK1}$ 、 $S_{TA}$ 、 $E_{OC}$ 、 $D_{ATA1}$  为 ADC 模数转换器的时钟信号、转换开始信号、转换结束信号和 8 位数据输出信号。 $\overline{E_{N1}}$ 、 $\overline{E_{N2}}$  分别为三态门 1 和三态门 2 的使能信号。 $\overline{C_S}$ 、 $\overline{W_E}$ 、 $A_{DDRE}$ 、 $D_{ATA2}$  为 SRAM 静态存储器的片选信号、读 - 写信号、17 位地址信号和 8 位数据信号。 $\overline{W_E}$  低电平为有效写信号, 高电平为有效读信号。 $\overline{W_R}$ 、 $D_{ATA3}$  为 DAC 数模转换器的写信号和 8 位数据输入总线信号。 $V_S$  的频率取 8 kHz, 采样时间取 12  $\mu$ s。控制器的时钟  $C_{LK}$  和 ADC 模数转换器的时钟  $C_{LK1}$  都取为 640 kHz。SRAM 静态存

储器的容量为  $128\text{ k} \times 8$  位,最多录音时间为  $16\text{ s}$ 。

三态门的作用是在联机工作时隔离数据总线。

控制器的作用是产生系统所需的各种定时信号,控制信号和 SRAM 静态存储器的地址信号以协调系统各部分工作。

本系统可独立完成语音的采集、存储和重放工作。

## 2 控制器的设计与实现

### 2.1 初步方案

因系统分为三个状态,由此控制器也同样分为三个状态。

(1) 待机状态:系统既不录音也不放音,处于加电后状态。按复位输入信号  $R_{ES}$  系统进入此状态。在此状态中,SRAM 地址计数器被复位,片选信号无效,三态门 1、三态门 2 高阻状态,DAC 数模转换信号无效。

(2) 录音状态:按录音输入信号  $R$  系统进入此状态。在此状态下,控制器以  $8\text{ kHz}$  的频率向采样电路送出采样信号  $V_S$ ,并紧接每一个  $V_S$  的后沿向 ADC 送出转换开始信号  $S_{TA}$ ,并以递增的形式向 SRAM 送出相应的地址信号  $ADDRE$ 。此状态中三态门 1 使能信号  $\overline{E_{N1}}$  始终处于有效状态。每当 ADC 完成一次转换给控制器返回一个转换结束信号  $E_{OC}$ ,控制器就向 SRAM 送出一个有效写信号  $\overline{W_E}$  和有效片选信号  $\overline{C_S}$ ,将语音的数字信号存入静态存储器。此时三态门 2 使能信号  $\overline{E_{N2}}$  为高阻状态,DAC 和 SRAM 之间是断开的。录音状态下系统的时序如图 2 所示。

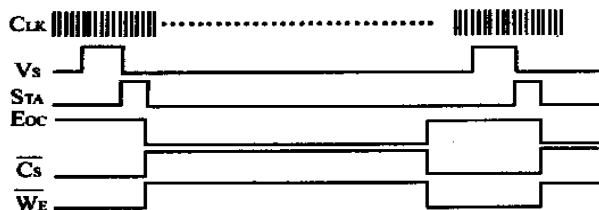


图 2 系统时序

Fig. 2 System sequence

(3) 放音状态:按放音输入信号  $P$ ,系统进入放音状态。在此状态下,控制器以递增的形式向 SRAM 送出地址信号  $ADDRE$ ,并向 SRAM 送出有效读信号  $\overline{W_E}$  (高电平)和片选信号  $\overline{C_S}$ ,使存储器开始读信号。同时向 DAC 送出有效写信号  $\overline{W_R}$ ,允许

DAC 转换送来的数据。在整个放音状态, $\overline{E_{N2}}$  始终处于有效状态,而  $\overline{E_{N1}}$  为高阻状态。

控制器三个状态之间的转换关系如图 3 所示。

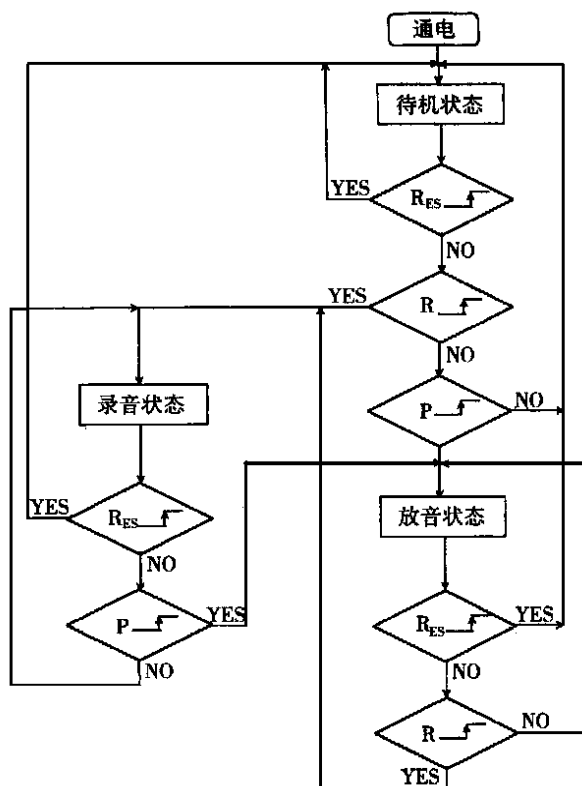


图 3 控制流程图

Fig. 3 Control flow graph

### 2.2 详细方案

为实现上述方案,把控制器分为几个子模块,如图 4 所示。

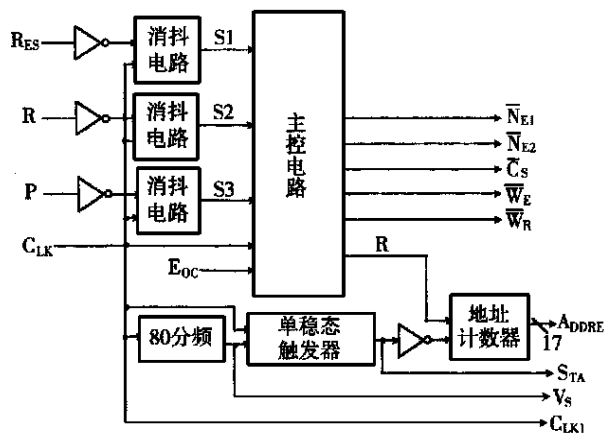


图 4 控制器顶层结构框图

Fig. 4 Controller top level construction block diagram

系统  $CLK$  的主频为  $640\text{ kHz}$ 。采样信号  $V_S$  频

率为 8 kHz,经主频信号 80 分频后得到。为保证采样效果, $V_S$  的脉宽取  $12\ \mu\text{s}$ 。为保证时序紧密配合,用  $V_S$  后沿触发单稳态触发器产生 ADC 转换开始信号  $S_{TA}$ 。为使 SRAM 地址的变换与 ADC 转换节拍同步,地址计数器的计数输入可直接取自  $S_{TA}$  信号,每转换一次数据变换一个存放地址。为使放音时地址变换的频率与录音时一致,放音时这部分电路照常工作。此时因 ADC 数据输出至 SRAM 数据输入之间的通道由三态门 1 隔离,所以不会影响 SRAM 数据输出,也不会对放音造成干扰。

### 2.3 用 CPLD 实现

确定了控制器的详细方案后,就可借助于电子系统设计自动化 EDA (Electronic Design Automation) 工具在 CPLD 上实现。CPLD 的应用设计过程分为三大部分:设计输入、设计实现和设计仿真。由

于 XC9500CPLD 采用  $E^2\text{PROM}$  技术编程,其根本特点是可进行加电清除,所以 XC9500CPLD 可以在系统编程。在设计过程中,设计者可根据需要,直接在目标系统上反复交错地调用各设计文件,边修改边调试,直至成功。设计实现后,可阅读 CPLD 报告文件了解设计中的资源使用和时延分析。

本控制器选用 Xilinx 公司 Foundation Series 2.1i 软件为开发平台,采用 Xilinx 公司 XC95108PC84 芯片为目标载体,运用 VHDL 语言成功完成设计。占用芯片资源 47%。

由于核心部件控制器采用 CPLD 完成,可以在系统反复测试、反复编程、反复修改,所以最终使系统噪声达到了最小,并且简化系统结构,减少系统体积,提高系统可靠性。

## Digital voice keeping and repeating system based on CPLD

ZHOU Yuan YAN G Li-hua

(College of Information Science and Technology, Beijing University of Technology, Beijing 100029, China)

**Abstract:** This paper introduces a design method of Digital Voice Keeping and Repeating System. In the method the system controller is implemented by CPLD XC95108PC84 chip of Xilinx company. Results show many advantages: quick design, convenient debug, low system sound, excellent effect of voice repeating and small area of PCB board.

**Key words:** CPLD; in system programmable; digital voice keeping and repeating system; EDA

## 2000 年我校获省部级以上科技奖名单

北京市科技进步奖 3 项:(1)段雪等“层状表面粗锆基固体酸酯催化剂”获科技进步一等奖;段雪等“阴离子层柱结构选择性红外吸收材料”获科技进步二等奖;吴大鸣等“化学交联聚乙烯管生产技术”获科技进步二等奖。

中国高校科学技术奖 3 项:(1)段雪等“层状及层柱状结构无机功能材料的超分子插层组装”获技术发明二等奖;(2)李成岳等“化学反应强制动态操作特性的研究”获自然科学二等奖;(3)谭天伟等“从菌丝体中提取壳聚糖、麦角固醇和氨基葡萄糖”获技术发明二等奖。

河北省科技进步奖 1 项:李群生等“导向筛板塔在 PVA 中应用的开发研究”(第二完成单位)获科技进步二等奖。